|  |  |
| --- | --- |
| C:\Users\Aitor\Desktop\Quartus\FOTOS\Cuestion3.jpg | logo293 (positivo) |

Práctica 2: Captura, simulación e implementación en CPLD

de un sistema combinacional

Electrónica Digital

**Universidad de Alcalá**

**Curso Académico 2019/2020**

**Curso1º – Cuatrimestre 2º**

|  |  |  |
| --- | --- | --- |
| **Alumno(s)** | **Grupo** | **Puesto** |
| **Aitor ingelmo Martin** | **2ºA** |  |
|  |

**En este documento se incluyen sólo las cuestiones que los alumnos deberán completar. En algunas de las cuestiones se podrá cortar y pegar capturas de pantalla de las simulaciones. Este documento se deberá subir a la *blackboard.***

|  |
| --- |
| ***Cuestión 3.*** *Crea un fichero nuevo para introducir el código del. Almacena el fichero con el nombre* ***mux4bit2to1.vhd****. Utilizando la opción de UniversityProgram VWF (Vector Waveform File), simula el código VHDL del multiplexor y completa el diagrama de formas de onda de la en la que se tendrá que definir el valor adecuado para las entradas* ***EN*** *y* ***SEL*** *para comprobar que el multiplexor funciona correctamente, es decir, que cumple la tabla de verdad anterior(). La salida a completar será* ***MUX\_OUT****. Almacena el fichero* ***vwf*** *con el nombre* ***mux4bit2to1.vwf****. Realiza solamente la simulación funcional.* |

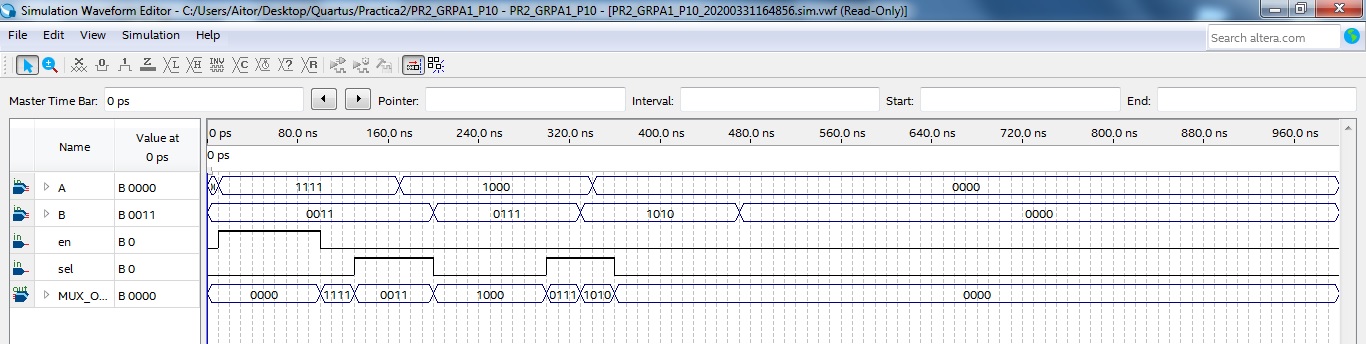


Figura 4.- Diagrama de formas de ondas para la simulación del multiplexor.

|  |
| --- |
| ***Cuestión 4.*** *Crea un nuevo fichero para introducir el código del. Almacena el fichero con nombre* ***comp\_gt.vhd****. Modifica el código del Listado 2 para que implemente la funcionalidad representada en la. Utilizando la opción de UniversityProgram VWF (Vector Waveform File), simula el código VHDL del comparador y completa el diagrama de formas de onda de la. Almacena el fichero vwf con el nombre* ***comp\_gt.vwf****. Realiza solamente la* ***simulación temporal****.* |

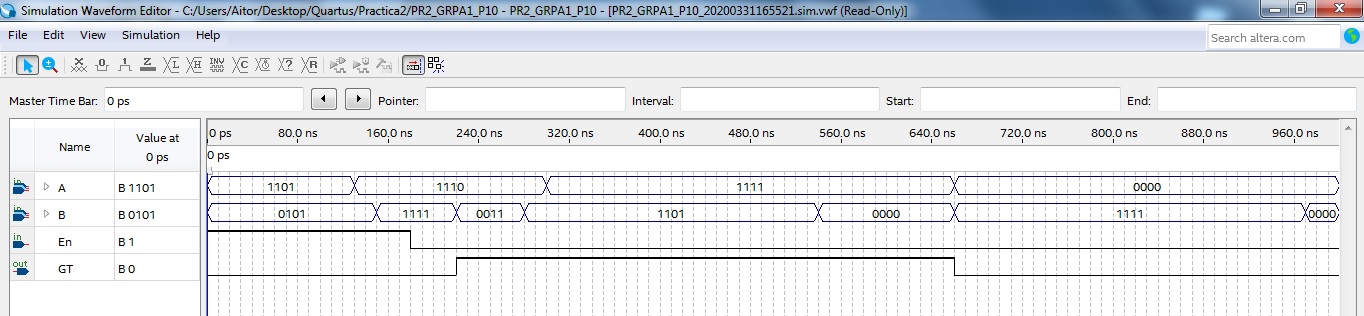


Figura 6.- Diagrama de formas de onda para la simulación del comparador ***comp\_gt.***

|  |
| --- |
| ***Cuestión 5.****¿Cuál es el retardo máximo del comparador? Razona la respuesta haciendo referencia al diagrama de tiempos de la .*  *En base al diagrama de tiempos, el comparador tarde 12.73 ns en procesar la señal de salida.* |

|  |
| --- |
| ***Cuestión 6.*** *Crea el esquema de la en el que tienes que añadir el circuito correspondiente al bloque* ***CC*** *y realiza la simulación funcional del mismo completando el diagrama de tiempos de la . Ten en cuenta que cuando la entrada* ***M\_m****=’1’, la salida del multiplexor* ***MUX\_OUT*** *debe ser el mayor de* ***A*** *y* ***B****. En caso contrario MUX\_OUT debe tomar el valor del menor de ambas entradas. El nombre del fichero que almacena el esquema debe ser* ***PR2\_MAYOR\_MENOR.bdf.****Asimismo, almacena el fichero* ***vwf*** *con el nombre* ***PR2\_MAYOR\_MENOR.vwf****.* |

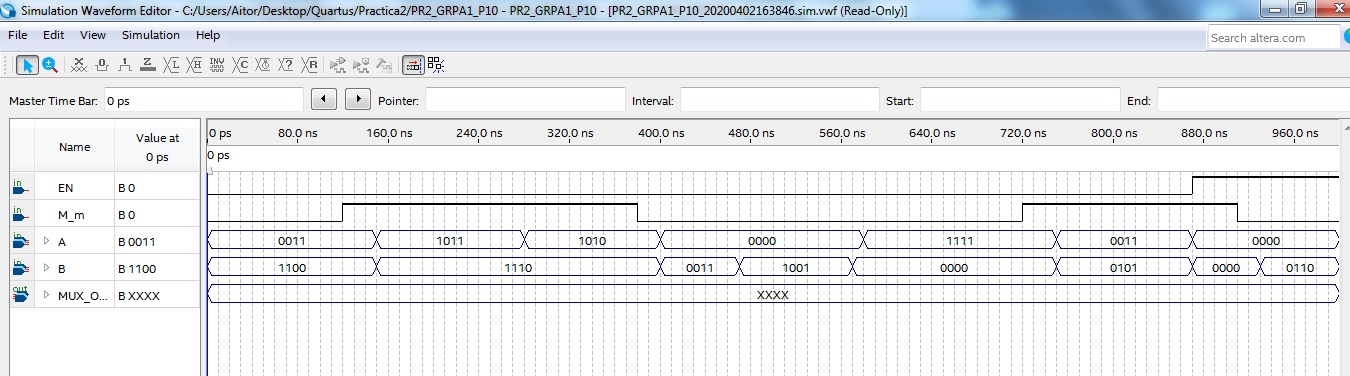


Figura 7.- Diagrama de formas de onda para la simulación del modelo ***PR2\_MAYOR\_MENOR.bdf***.

|  |
| --- |
| ***Cuestión 7.*** *Crea el esquema de la partiendo del esquema de la , añadiendo el decodificador BCD a 7 segmentos (CI 7447). Realiza la simulación funcional y completa,en el cronograma de la , las salidas desde* ***SEG\_A*** *hasta* ***SEG\_G.*** *El nombre del fichero que almacena el esquema debe ser* ***PR2\_DISPLAY\_MAYOR\_MENOR.bdf.*** *Asimismo, almacena el fichero* ***vwf*** *con el nombre* ***PR2\_DISPLAY\_MAYOR\_MENOR.vwf****.* |

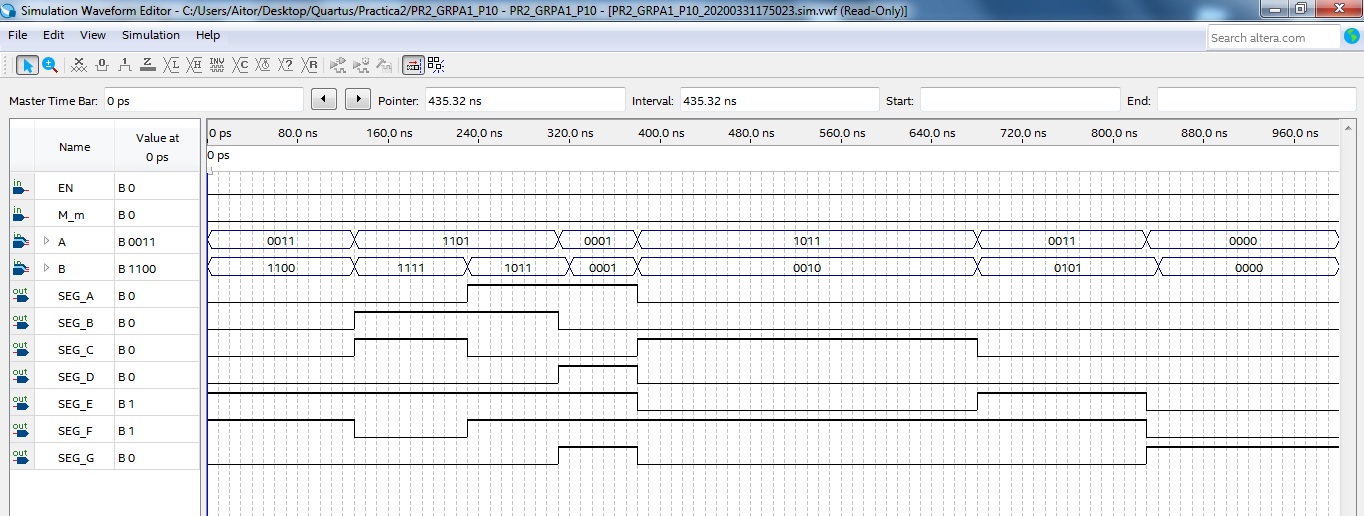


Figura 9.- Diagrama de tiempos para comprobar la funcionalidad del decodificador BCD a 7-seg.

|  |
| --- |
| ***Cuestión 8.****¿Qué ocurre en las salidas de circuito cuando en las entradas A y B se introducen los valores resaltados en la figura anterior? Razona la respuesta.*  *Al estar la señal M\_m, la salida es el mayor entre el número A y B.En este caso el mayor digito es 1011b, es decir, el número 11.*  *Es por esto que se encienden los segmentos B y C para representar en el display un 1 y además la señal DP obtiene un nivel bajo iluminandose el punto simboluzando las decenas de millar.* |

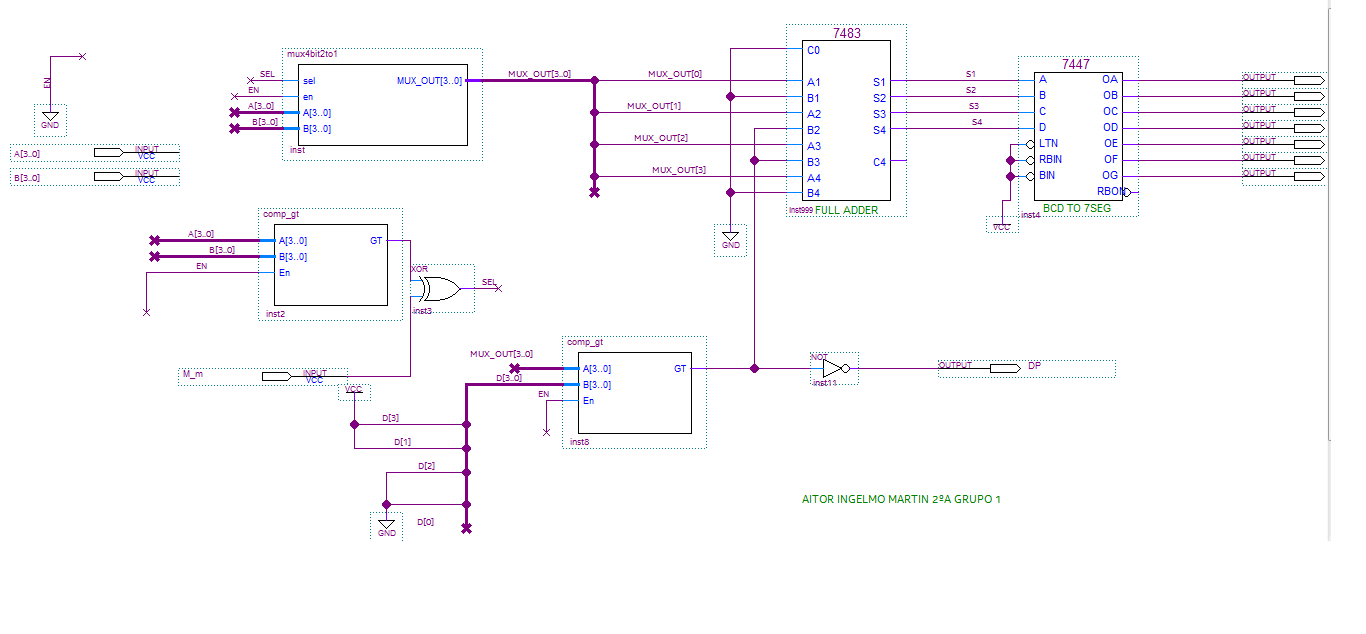


Figura 10.- Esquema final del diseño.

|  |
| --- |
| ***Cuestión 9.*** *Completa el esquema de la para que implemente la funcionalidad del diseño completo. Completa, asimismo, el cronograma de la correspondiente a la simulación funcional del diseño completo. El nombre del fichero que almacena el esquema debe ser* ***PR2\_GRPX\_PY.bdf.*** *Asimismo, almacena el fichero* ***vwf*** *con el nombre* ***PR2\_GPRX\_PY.vwf****. Recuerda que, en los nombres anteriores,* ***X*** *representa el nombre del grupo de laboratorio e* ***Y*** *el identificador del puesto dentro del laboratorio.* |

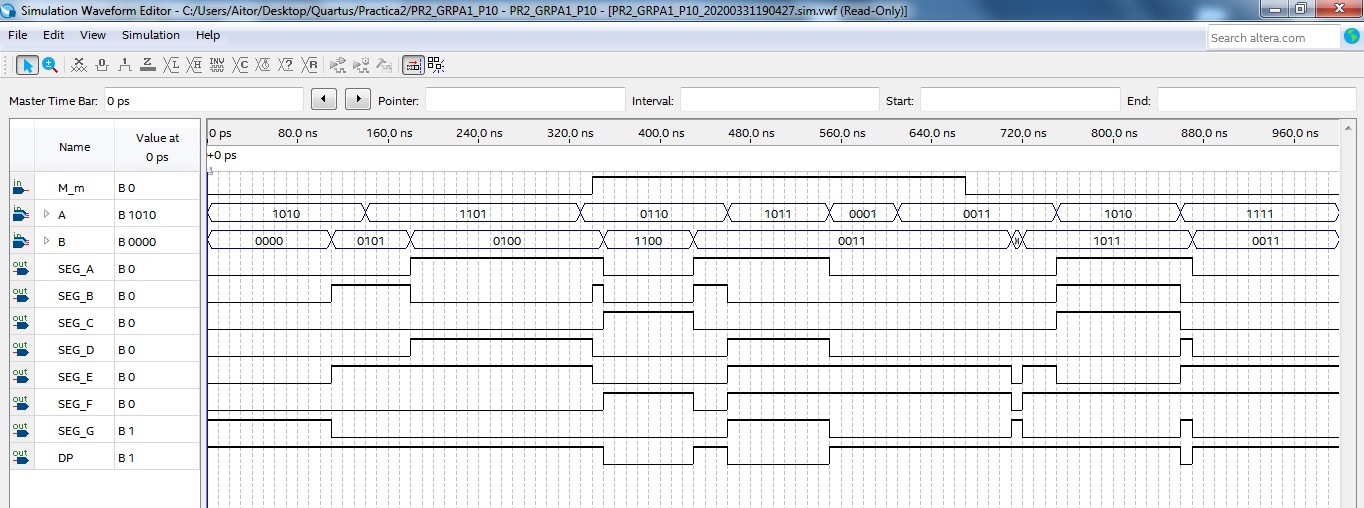


Figura 11.- Diagrama de formas de ondas del diseño final.